

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-175404

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

G06F 12/14

(21)Application number : 09-340165

(71)Applicant : NEC CORP

(22)Date of filing : 10.12.1997

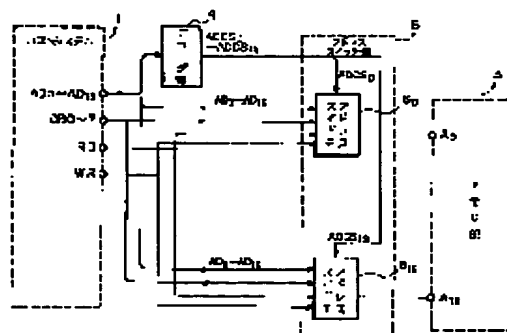
(72)Inventor : TANUMA HIROSHI

(54) ADDRESS CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an address controller as a converting device of an address access signal for the security of an outside memory.

SOLUTION: This device is provided with an address switch part 5 in which switching capable of arbitrarily changing the connection setting is performed in the stage of connecting an address access signal from a host system 1 with the address access signal of an outside memory 3. Also, security is maintained by making the memory mapping of the outside memory 3 different from mapping viewed from the host system and the host system secures the substantial connection setting by ID management.



LEGAL STATUS

[Date of request for examination] 10.12.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3255227

[Date of registration] 30.11.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-175404

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.⁶

G 0 6 F 12/14

識別記号

3 2 0

F I

G 0 6 F 12/14

3 2 0 B

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平9-340165

(22) 出願日 平成9年(1997)12月10日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 田沼 博志

東京都港区芝五丁目7番1号 日本電気株式会社内

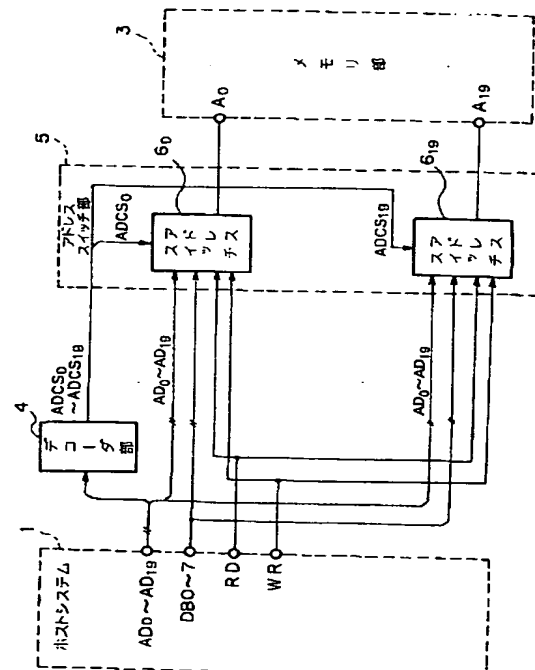
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 アドレスコントローラ

(57) 【要約】

【課題】 外部メモリのセキュリティのための、アドレスアクセス信号の変換装置としてのアドレスコントローラを提案する。

【解決手段】 ホストシステム1からのアドレスアクセス信号を、外部メモリ3のアドレスアクセス信号に接続する段階で、その接続設定を任意に変更可能なスイッチングが行われるアドレススイッチ部5を有し、かつ、外部メモリ3のメモリマッピングをホストシステムから見たマッピングとを相違させて、セキュリティを保持し、ホストシステムはID管理により実質的な接続設定を確保している。



1

【特許請求の範囲】

【請求項 1】 ホストシステムから外部メモリのアクセスに際し、メモリのセキュリティのために外部メモリ内のアドレスにアクセスする信号の変換手段であるアドレスコントローラにおいて、

ホストシステムからの外部メモリに対するアドレス信号を外部メモリ内の固有のアドレスアクセス信号に任意に随時変換接続設定可能な変換接続設定手段を有することを特徴とするアドレスコントローラ。

【請求項 2】 前記変換接続設定手段が、ホストシステムからの複数のアドレス信号を入力とし、外部メモリの固有アドレスへの個別のアドレス信号を出力とする、個別のアドレス信号別に設けられた複数のスイッチからなる請求項 1 記載のアドレスコントローラ。

【請求項 3】 前記スイッチが、電子スイッチである請求項 2 記載のアドレスコントローラ。

【請求項 4】 前記スイッチが、EEPROMである請求項 2 記載のアドレスコントローラ。

【請求項 5】 ホストシステムから前記変換接続設定手段の設定をデータベースを介してバイナリコードによりアドレススイッチに指示する手段を有する請求項 1 記載のアドレスコントローラ。

【請求項 6】 前記アドレス信号の変換接続設定手段の設定結果を示す ID 管理エリアとアドレススイッチ設定情報エリアとを備え、常時アドレス接続情報と対応して接続を管理する外部メモリのアクセス管理手段を有する請求項 1 記載のアドレスコントローラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリのアクセス回路に関し、特にメモリに書き込まれたデータのセキュリティのためにアドレス信号変換を行うアドレスコントローラに関する。

【0002】

【従来の技術】図 9 はアドレス信号変換のための従来例の構成図である。

【0003】この例によれば、CPU 20 のアドレスバス、およびデータバスが変換部 21 と接続されている。また、変換部 21 と外部メモリ 22 もアドレスバスおよびデータバスが接続されている。

【0004】外部メモリ 22 には、ホストシステムからのアドレス信号のアドレスの変換テーブルが書き込まれている。

【0005】CPU 20 は、外部メモリ 22 をアクセスする前に、変換部 21 で規定される特定のアドレスから外部メモリ 22 に書き込まれているアドレス変換テーブルのアドレスデータを読み出す。読み出されたアドレスデータは自動的に変換部 21 にあるメモリに書き込まれ、CPU 20 がアクセス可能なアドレスに、一対一に対応した変換アドレスのデータが書き込まれる。

2

【0006】CPU 20 が外部メモリ 22 にアクセスする場合は、変換部 21 の変換アドレスのテーブルを介しアドレスの設定を外部メモリ 22 に対して行う。

【0007】

【発明が解決しようとする課題】第 1 の問題点は、メモリのデータが容易に読み出し可能である。その理由は、メモリのアドレスマッピングとホストシステムのアドレスマッピングが一意的に決定されているからである。

【0008】本発明の目的は、メモリに書き込まれているデータのマッピングを、ホストシステムからみたマッピングと相異させる手段を用い、メモリのデータに対するセキュリティを向上させるアドレスコントローラの提供である。

【0009】

【課題を解決するための手段】本発明のアドレスコントローラは、ホストシステムからの外部メモリに対する複数のアドレスアクセス信号を受信し、該アドレスアクセス信号の全信号を入力し、出力をそれぞれ、個別に外部メモリのアドレスアクセス信号毎とする複数のアドレススイッチを有し、ホストシステムの設定信号により各アドレススイッチを設定接続するスイッチ部を有し、随時、任意に該複数のアドレススイッチの設定接続を変更可能に構成されている。

【0010】すなわち、ホストシステム 1 からアドレスの接続変更が可能なアドレススイッチ部 6 乃至 7 を有し、アドレススイッチ 6 乃至アドレススイッチ 7 は、ホストシステム 1 からアクセス可能で、ホストシステム 1 側で任意に決定したアドレスの接続が可能となる。

【0011】また、ホストシステム 1 は、ID 管理エリアとアドレススイッチ設定情報エリアを備え、アドレス接続設定内容を管理する手段を有する。

【0012】

【実施の形態】図 1 は、本発明のアドレスコントローラ 2 を使用した場合第 1 の実施の形態のシステム構成図である。

【0013】図 2 は、図 1 に示すアドレスコントローラ 2 の詳細ブロック図である。

【0014】図 3 は、図 2 に示すアドレススイッチ部 5 の内部構成とデコーダ部 4 の接続図である。

【0015】図 4 は、図 3 に示すアドレススイッチ 6 およびアドレススイッチ 7 の内部の信号の接続概念図である。

【0016】図 5 は、本発明のアドレスコントローラ 2 を使用した際のホストシステムにおける外部メモリ 3 を見たアドレスマッピングの例である。

【0017】図 1、図 2、図 3、図 4 の詳細説明は、以下の通りである。

【0018】図 1 はシステムの構成例を示す図であり、アドレスコントローラ 2 はホストシステム 1 から出力される複数本のアドレス信号である AD₀～AD_n（以下 A

3

D*の様に*を使用して表示する) 信号を受信し、アドレスの割り振りを変更し、対応するCAD₀~CAD_n(以下CAD*と表示する) 信号としてメモリ部3に出力する。

【0019】図2はアドレスコントローラの内部ブロック図であるが、デコーダ部4はアドレススイッチ部5に対し、データアクセスを可能とする制御信号ADCS₀~ADCS_n(以下ADCS*と表示する) 信号を生成する。

【0020】アドレススイッチ部5はホストシステム1からの書き込みデータにより、ホストシステム1から入力されたアドレス信号であるAD*信号に対し、メモリ部3のアドレス信号となるCAD*信号の接続を設定する。

【0021】図3は、アドレススイッチ部5の内部構成図である。図3に示すアドレススイッチ部5では、アドレス信号の本数を20本としている。

【0022】アドレススイッチ部5は、アドレススイッチ6₀乃至アドレススイッチ6₁₉迄の20個から構成される。また、各アドレススイッチ6₀~6₁₉の内部回路構成は同一の構成である。

【0023】図4はアドレススイッチ6₀~6₁₉内部で実施されるアドレスの接続概念図である。各アドレススイッチ例えばアドレススイッチ6₀内には20個のスイッチ8₀~8₁₉を有し、スイッチ8₀はホストシステム1からのアドレス入力信号であるAD₀信号、AD₁信号、AD₂信号、・・・、AD₁₉信号の中からホストシステムからの指示でAD₀信号をメモリ部3へのアドレス入力信号であるA₀信号に接続し、また、スイッチ8₁₉はホストシステムから指示されたAD₁₉信号をA₀信号へ接続する。

【0024】図4では、スイッチ8₂がオン状態となっており、AD₂信号とA₀信号が接続されている。即ち、ホストシステム1からのAD₂信号は、メモリ部3のA₀信号として、アドレスコントローラ2により変換され出力される。

【0025】図4に示す概念図のスイッチ8₀、スイッチ8₁、スイッチ8₂、・・・、スイッチ8₁₉は、それぞれ、AD₀、AD₁、AD₂、・・・AD₁₉を入力とし、メカニカルなスイッチではなく、電気的なスイッチである。例えば、電子スイッチ、あるいは書き換え可能なEEPROMのセルを採用して実現してもよい。

【0026】次に、本発明の動作について説明する。

【0027】まず初めに、図4で示したアドレスの接続概念図で示した各アドレスの接続手順について説明する。

【0028】図10に示すように、ホストシステム1は、特定のアドレス空間に接続を設定されたアドレススイッチ6₀乃至アドレススイッチ6₁₉に対し、アドレスの接続を実施する。例えば、図11に示すように、AD

4

2信号をA₀信号に変換したいのであれば、データバス信号であるDB₀~7信号を介しアドレススイッチ6₀に対し“02h”を設定すれば良い。

【0029】各アドレススイッチ6₀~6₁₉には、バイナリー/ビット変換部50と、スイッチ20個を有し、各スイッチ8₀~8₁₉には、AD₀~AD₁₉が、それぞれ対応して個別に接続され、またバイナリー/ビット変換部で50でビット変換されたBIT₀~BIT₁₉も順に個別に接続されており、指定接続が行われる。

【0030】したがって、AD₀信号をA₁₉信号に接続したいのであれば、図14に示すデータバス信号表により、アドレススイッチ6₁₉に対し、“00h”を設定すれば良い。

【0031】すなわち、“1”を所望の位置とすると、AD₂は3番目の位置なので、バイナリー/ビット変換部50に対し“02h”をセットし、バイナリー/ビット変換部50の出力として、“BIT₀ BIT₁ BIT₂ ... BIT₁₈ BIT₁₉”の対応として、“0 0 1 ... 0 0”が出力される。

【0032】AD₀は1番目の位置なので、バイナリー/ビット変換部50に対し、“00h”をセットし、バイナリー/ビット変換部50の出力として、“BIT₀ BIT₁ BIT₃ ... BIT₁₈ BIT₁₉”の対応として、“1 0 0 ... 0 0”が出力される。

【0033】以上のようにしてAD₀信号、AD₁信号、・・・、AD₁₉信号とA₀信号、A₁信号、・・・、A₁₉信号を1対1に接続変換する。このことにより、ホストシステム1ではアドレススイッチの接続状態をアドレススイッチ設定情報エリアにプロットして認識し、このメモリ部3でアクセスされるメモリ空間の構成は、全く異なることとすることができる。

【0034】各アドレスのデータの対応は1対1となるが、アドレススイッチ部5のアドレス接続の各接続設定により、メモリ部3は各々異なったアドレスの対応を実現できる。

【0035】以上のように、アドレススイッチ部5の内部スイッチの接続変更により各々のアドレス接続が可能となる訳であるが、接続変更の管理方法について説明する。

【0036】図5は外部メモリ3に設定されているメモリマップの例で、ID管理エリア4バイトとユーザメモリエリアとからなり、メモリ部3に対し、ID管理エリアおよびアドレススイッチ5設定情報エリアを設ける。ID管理エリアを4バイトとし、アドレスのFFFFFFC~FFFFFFF番地にマッピングしている。

【0037】ID管理エリアが具体的にどのような構成になるかという点、図5の例では(詳細は図6)3バイトのIDデータと1バイトのチェックビットから構成され

5

る。

【0038】また、図13はホストシステム側で有する管理用のマップで、ID管理エリアは、図5に示すID管理エリアと同様の内容であり、さらに、アドレススイッチ5設定情報エリアを設け、各アドレススイッチの接続設定情報をマッピングしている。

【0039】ホストシステム1では、上記の管理用マップにより、アドレススイッチ部5のアドレス信号接続情報を管理しており、ID管理エリアのIDバイトは、1対1で、ホストシステム1の内部で管理されている。

【0040】次に、実際のメモリアクセスのフローを説明する。

【0041】ホストシステム1は、まず特定のアドレス空間に設定されているアドレススイッチ部5のアドレススイッチ60~619に対し、アドレスの設定を実行する。前述したように、図4で示されるスイッチ80~819に対しビット指定で設定を行う。例えば、AD0信号をA10信号に接続したい場合は、データバス信号であるDB0~7信号を介し、該当のビットを“1”にした設定を行う。この場合、ホストシステム1はアドレススイッチ部5のアドレススイッチ610に20 に対し“0Ah”、とデータ設定を実施する。

【0042】ホストシステム1は同様な手順により、AD0信号からAD19信号について、アドレススイッチ60からアドレススイッチ619まで、アドレスの接続設定を行う。

【0043】ホストシステム1はアドレスの接続設定内容に対し、3バイトのIDを決定する。3バイトのIDに対し、チェックビットを生成する。ホストシステム1は、ホストシステム1からみる外部メモリ3のユーザメモリマップの“FFFFFFh”番地乃至“FFFFFFc 30 h”番地に3バイトのIDと1バイトのチェックビットを書き込む。アドレスの接続設定内容とIDは1対1の対応がとられている。アドレスの接続内容とそれに対応するIDはホストシステム1側で管理保管する。

【0044】図1のシステム接続例ではメモリ部3は固定的に記載されているが、メモリ部3はホストシステム1から分離可能なメモリでもよい。この場合、ホストシステム1は複数のメモリ部3に対するアドレス接続設定内容とIDの管理保管を実施する。

【0045】次に、ホストシステム1が、メモリ部3からデータの読み出しを実施する場合のフローを示す。

【0046】ホストシステム1は管理保管しているIDに基づき、アドレススイッチ部5のアドレス接続を実施する。

【0047】ホストシステム1は“FFFFFFh”番地から“FFFFFFch”番地のID管理エリアを読み出し、図12に示すID管理マップにより、3バイトのIDと1バイトのチェックビットが、ホストシステム1で保管していたデータと一致するか否かをチェックする。 50

6

一致していた場合、以降のメモリ部3に対するアクセスが保証される。

【0048】メモリ部3が複数存在する場合は、同様な手順で、ホストシステム1で保管するIDとメモリ部3から読み出したIDとが一致するまで実行する。

【0049】図7は、ホストシステム1の内部にメモリ部3が組み込まれている例である。この場合、メモリ部3がホストシステム1から取り除かれ、メモリ部3のみのデータをメモリ部3のアドレス配置から順番に読み出しても本来のデータ列となっていないため、データに対するセキュリティ効果がある。

【0050】図8は、メモリ部3がメモリ部13、メモリ部14と複数存在する場合の例である。ホストシステム1は、図13に示すように、メモリ部13およびメモリ部14に対しそれぞれのIDとアドレス接続設定内容を管理している。メモリ部13、メモリ部14はホストシステム1に対しコネクタ等を介し接続可能である。ホストシステム1は接続されたメモリ部13、メモリ部14に対しIDが一致するかをチェックし、各々に対しアクセス可能となる。

【0051】図8で示した例では、メモリ部13、メモリ部14は可搬型のメモリカードを想定している。メモリ部13、およびメモリ部14をホストシステム1で管理保管されているIDとアドレス接続設定内容と同一の情報をもつホストシステム以外では本来のデータ列の復現は不可能となる為、メモリ部13、メモリ部14のデータに対しセキュリティ効果がある。

【0052】

【発明の効果】第1の効果は、アドレスの接続を随時任意に変更することにより、メモリ内部のデータに対しセキュリティ効果がある。その理由は、アドレスの接続情報とID管理をホストで実行し、アドレスの接続切換をホストから随時任意に実施しているためである。

【図面の簡単な説明】

【図1】本発明のアドレスコントローラを使用したメモリのアクセス回路の概念を示すブロック図である。

【図2】本発明のアドレスコントローラの一第1の実施例のブロック図である。

【図3】図2に示すアドレススイッチ部5の詳細ブロック図である。

【図4】図3に示すアドレススイッチの詳細図である。

【図5】本発明のアドレスコントローラを使用した際のシステムから見たアドレスマッピングの例である。

【図6】図5に示すID管理エリアの概念図である。

【図7】本発明のアドレスコントロールを含むメモリアクセス回路の第2の実施例のブロック図である。

【図8】本発明のアドレスコントローラを含むメモリアクセス回路の第3の実施例のブロック図である。

【図9】従来の外部メモリアドレスアクセス装置のシステム概念図である。

7

【図10】図3に示すアドレススイッチ60の構成図である。

【図11】図10に示すアドレススイッチ60におけるスイッチ8₂の動作状態を示す図である。

【図12】ホストシステム1のID管理マップの構成を示す図である。

【図13】ホストシステムの外部メモリ13、14の管理のためのID管理マップの構成を示す図である。

【図14】データバス信号のBIT変換を示す図表である。

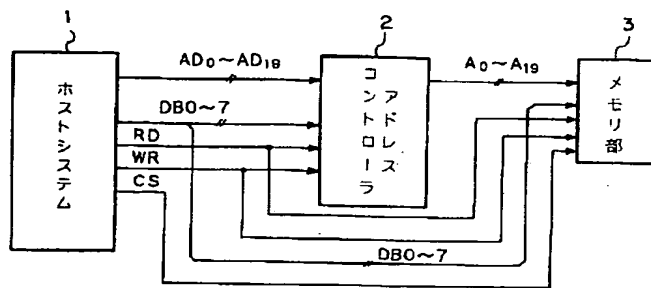
【符号の説明】

- 1 ホストシステム
2 アドレスコントローラ

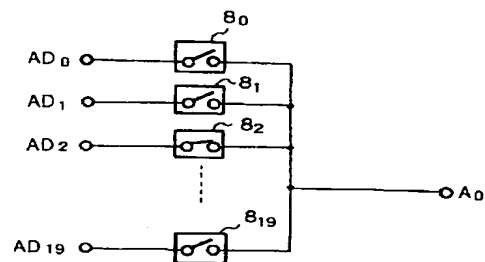
- * 3 メモリ部
4 デコーダ
5 アドレススイッチ部
6 アドレススイッチ
7 アドレススイッチ
8 スイッチ
9 スイッチ
10 スイッチ
11 スイッチ
12 ホストシステム
13 メモリ部
14 メモリ部

8

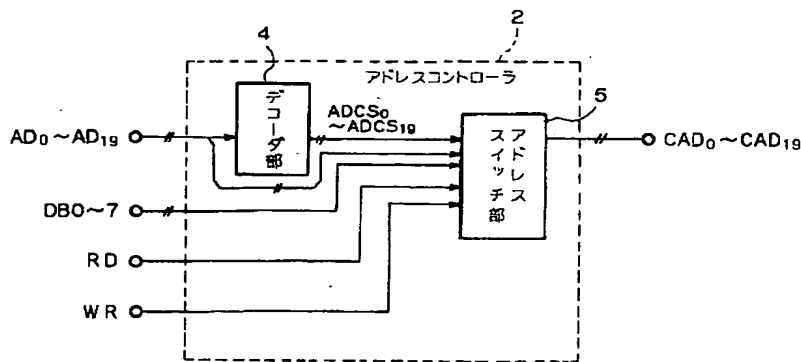
【図1】



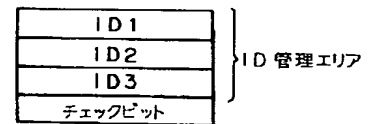
【図4】



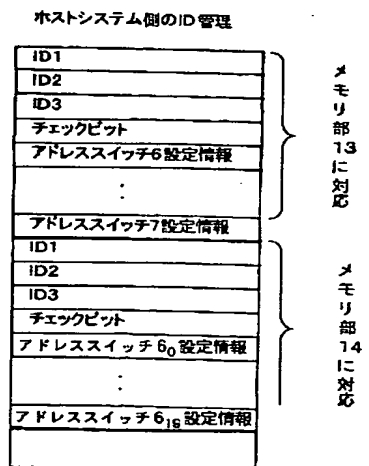
【図2】



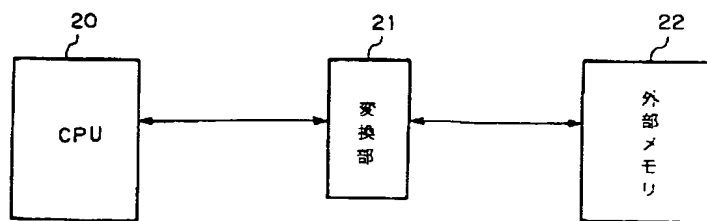
【図6】



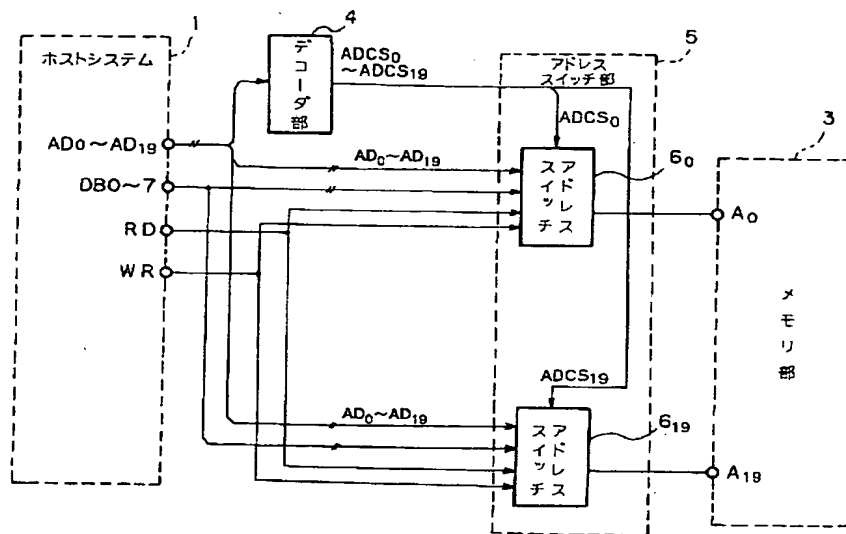
【図13】



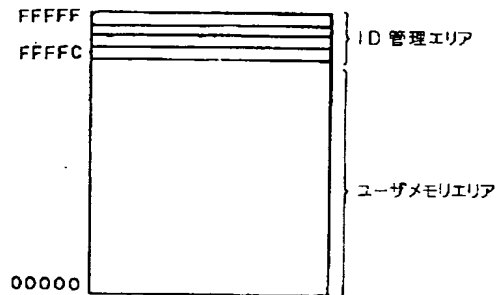
【図9】



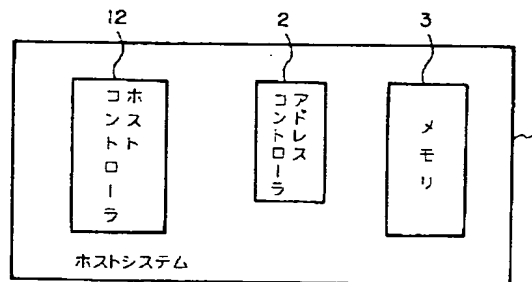
【図 3】



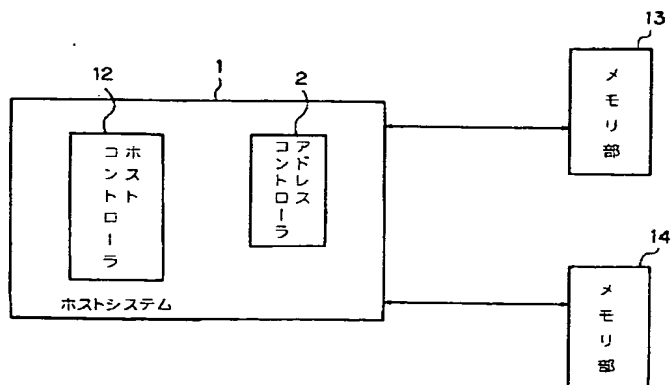
【図 5】



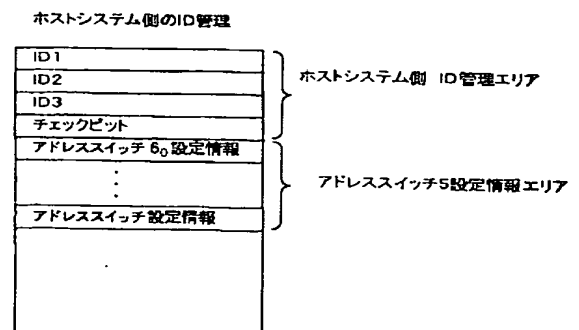
【図 7】



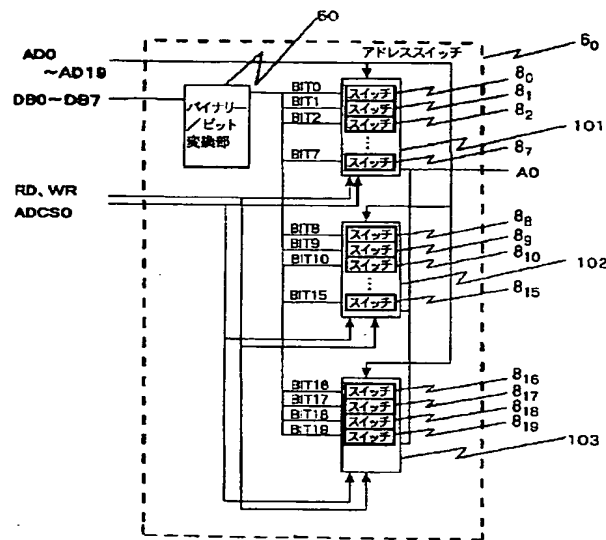
【図 8】



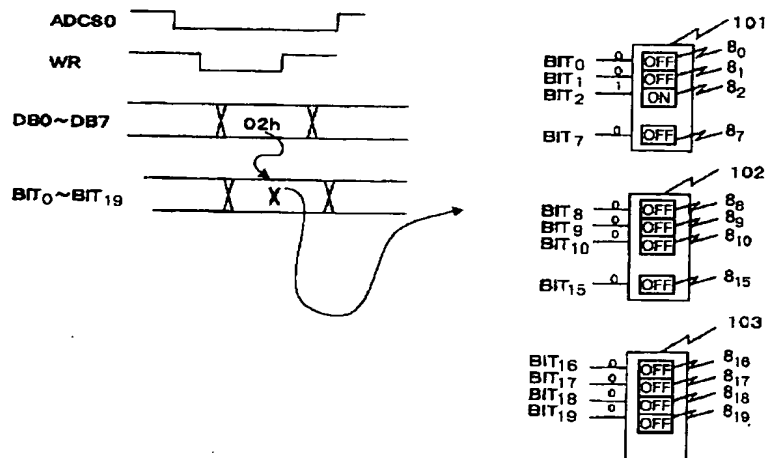
【図 12】



【図10】



【図11】



【图 14】

[illegible]